

**Laboratório 1:**

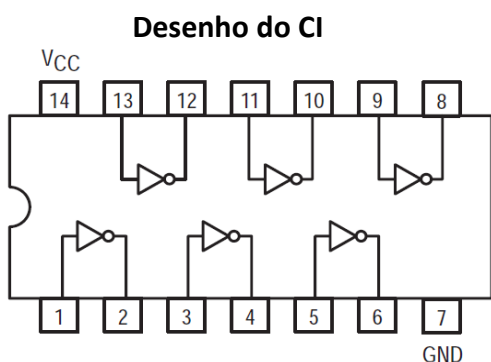
**Objetivo:** Conhecer os circuitos integrados básicos, testando as portas lógicas AND de 2 entradas e OR de 2 entradas.

**Materiais:** Protoboard, Multímetro, Fonte de +5v, 1 CI 7404, 1 CI 7408 e 1 CI 7432.

**Roteiro:**

- a- Alimentar os circuitos integrados (CI) 74LS04, 74LS08 e 74LS32, +5v (VCC) no pino 14 e 0v (GND) no pino 7.
- b- Levantar a Tabela-elétrica para 2 portas desses CIs. Para isso deverá simular chaves em cada porta de entrada do CI, utilizando fios. E tirar as medidas elétricas na entrada e na saída de cada porta do CI.
- c- A partir da tabela-elétrica gerar a tabela-verdade, analisar e discutir os resultados.

CI SN74LS04 ou 7404



**Tabela Lógica da expressão**

$$Y = \bar{A}$$

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level  
 L = LOW Logic Level

**Tabela-Elétrica:**

In.	Out.	In.	Out.	In.	Out.	In.	Out.	In.	Out.	In.	Out.	Alimentação	
1A	1Y	2A	2Y	3A	3Y	4A	4Y	5 <sup>a</sup>	5Y	6A	6Y	GND	VCC
Pn1	Pn2	Pn3	Pn4	Pn5	Pn6	Pn9	Pn8	Pn11	Pn10	Pn13	Pn12	Pn7	Pn14

In. – Entrada  
 Out. – Saída

**Tabela Verdade:**

In.	Out.	In.	Out.	In.	Out.	In.	Out.	In.	Out.	In.	Out.
1A	1Y	2A	2Y	3A	3Y	4A	4Y	5A	5Y	6A	6Y
Pn1	Pn2	Pn3	Pn4	Pn5	Pn6	Pn9	Pn8	Pn11	Pn10	Pn13	Pn12

# CI SN74LS08

Desenho do CI

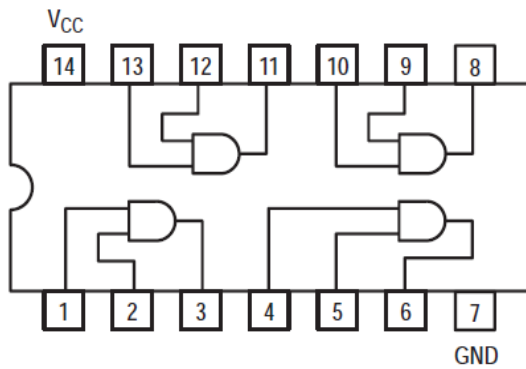


Tabela Lógica da expressão

$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level  
L = LOW Logic Level

Tabela-Elétrica:

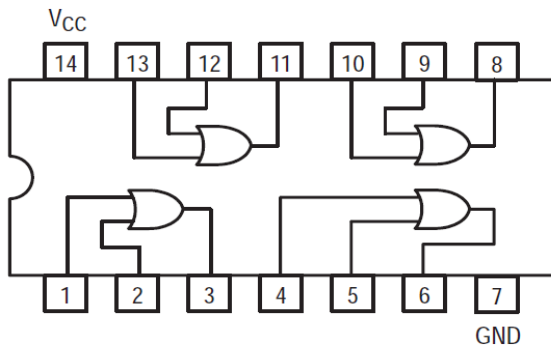
Entradas		Saída	Entradas		Saída	Entradas		Saída	Entradas		Saída	Alimentação	
1A	1B	1Y	2A	2B	2Y	3A	3B	3Y	4A	4B	4Y	GND	VCC
Pn1	Pn2	Pn3	Pn4	Pn5	Pn6	Pn10	Pn9	Pn8	Pn13	Pn12	Pn11	Pn7	Pn14

Tabela Verdade

Entradas		Saída	Entradas		Saída	Entradas		Saída	Entradas		Saída
1A	1B	1Y	2A	2B	2Y	3A	3B	3Y	4A	4B	4Y

**CI SN74LS32**

**Desenho do CI**



**Tabela Lógica da expressão**

INPUTS		OUTPUT Y
A	B	
H	X	H
X	H	H
L	L	L

**Tabela-Elétrica:**

Entradas		Saída	Entradas		Saída	Entradas		Saída	Entradas		Saída	Alimentação	
1A	1B	1Y	2A	2B	2Y	3A	3B	3Y	4A	4B	4Y	GND	VCC
Pn1	Pn2	Pn3	Pn4	Pn5	Pn6	Pn10	Pn9	Pn8	Pn13	Pn12	Pn11	Pn7	Pn14

**Tabela Verdade:**

Entradas		Saída	Entradas		Saída	Entradas		Saída	Entradas		Saída
1A	1B	1Y	2A	2B	2Y	3A	3B	3Y	4A	4B	4Y

**Analise e discutir os resultados**

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---